

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-102199

(43)公開日 平成9年(1997)4月15日

(51)Int.Cl.⁶

G 1 1 C 16/06

識別記号

庁内整理番号

F I

G 1 1 C 17/00

技術表示箇所

5 2 0 A

3 0 9 K

審査請求 未請求 請求項の数23 OL (全 8 頁)

(21)出願番号 特願平8-102638

(22)出願日 平成8年(1996)4月24日

(31)優先権主張番号 08/432623

(32)優先日 1995年5月2日

(33)優先権主張国 米国 (US)

(71)出願人 591016172

アドバンスド・マイクロ・ディバイシズ・
インコーポレイテッド

ADVANCED MICRO DEVI
CES INCORPORATED

アメリカ合衆国、94088-3453 カリフォ
ルニア州、サニイペイル、ビー・オー・ボ
ックス・3453、ワン・エイ・エム・ディ・
ブレイス (番地なし)

(72)発明者 ロバート・ビー・リチャート

アメリカ合衆国、78739 テキサス州、オ
ースティン、ピンクニー・レーン、10610

(74)代理人 弁理士 深見 久郎 (外3名)

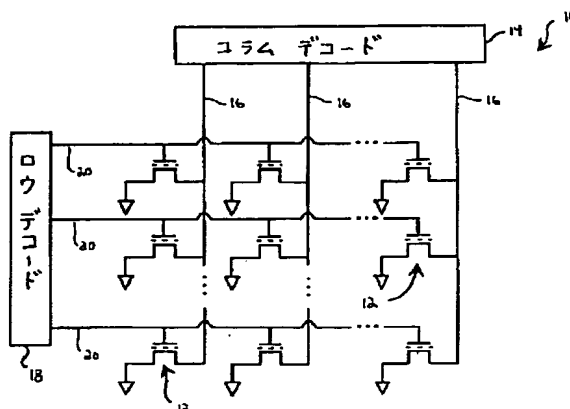
最終頁に続く

(54)【発明の名称】 不揮発性メモリアレイを読むための方法

(57)【要約】

【課題】 改良された読出サイクル動作に従って読まれる、単一トランジスタのメモリセルのレイを有する不揮発性メモリ素子が提供される。

【解決手段】 単一のビット線16を介して他のセルに相互に接続される選択されたセル12はそのプログラムされたまたはされない状態を識別するのに必要な活性化を保証される。選択されたセルに接続される非選択状態セルはそれらに関連するワード線20に負の電圧を印加することによって非活性を有利に保証される。この負の電圧は単一トランジスタのMOSデバイスに関連するしきい値電圧よりも小さい。非選択状態セルはしたがって非活性に保持されて、レイのプログラムされた状態にもっぱら依存する単一の活性または非活性の選択されたセルを与える。非選択状態セルにかけられる負の電圧は、デプレッション形動作に常時関連づけられる過消費されたセルの漏れを最小限にする。



【特許請求の範囲】

【請求項1】 ワード線とビット線とを各々が有する、複数の単一トランジスタのメモリセルを有する不揮発性メモリアレイを設けるステップと、

読まれるべき活性メモリセルのワード線に正の電圧を印加するステップと、

読まれるべきでない非活性メモリセルのワード線に負の電圧を印加するステップとを含む、不揮発性メモリアレイを読むための方法。

【請求項2】 前記活性メモリセルは前記正の電圧を受取るよう結合される制御ゲートを含む、請求項1に記載の方法。

【請求項3】 前記正の電圧は前記活性メモリセルのターンオン電圧を超える、請求項1に記載の方法。

【請求項4】 前記非活性メモリセルは前記負の電圧を受取るよう結合される制御ゲートを含む、請求項1に記載の方法。

【請求項5】 前記負の電圧は前記非活性メモリセルのターンオン電圧よりも小さい、請求項1に記載の方法。

【請求項6】 前記非活性メモリセルは、ソース領域とドレイン領域との間に構成されるチャンネルと、前記チャンネル上に絶縁性を伴って隔てて置かれるフローティングゲートと、前記フローティングゲート上に絶縁性を伴って隔てて置かれる制御ゲートとを含み、前記制御ゲートは前記負の電圧を受取るよう結合されるワード線を含む、請求項1に記載の方法。

【請求項7】 前記フローティングゲートは、多数のプログラムサイクルおよび消去サイクルにわたって、プログラムサイクル中には負の電荷を受取り、消去サイクル中には負の電荷を放出するよう構成され、前記フローティングゲートは過消去状態に対応する正味の正の電荷を伴って構成される、請求項6に記載の方法。

【請求項8】 前記メモリセルはデプレッション形トランジスタで構成される、請求項6に記載の方法。

【請求項9】 前記チャンネルはデプレッション形トランジスタのチャンネルを含むよう、前記フローティングゲートは正味の正の電荷を意図的に与えられる、請求項6に記載の方法。

【請求項10】 前記過消去状態は前記非活性メモリセル内に負のしきい値電圧を生じさせる、請求項9に記載の方法。

【請求項11】 単一トランジスタのプログラマブルリードオンリメモリセルのアレイを設けるステップを含み、各単一トランジスタのセルは制御ゲートがワード線に結合されかつドレインがビット線に結合され、さらに、

それぞれの単一トランジスタのセルに関連づけられる連続するドレインをビット線導体に接続するステップと、ビット線により接続される連続する単一トランジスタのセルに関連づけられるそれぞれの制御ゲートをそれぞれ

のワード線導体に接続するステップと、

前記ビット線により接続される連続する単一トランジスタのセルの1つのワード線導体にターンオンしきい値を超える電圧を印加する一方で、他の、前記ビット線により接続される連続する単一トランジスタのセルにターンオンしきい値下の負の電圧をさらに印加するステップとを含む、不揮発性メモリアレイの読出サイクル中のビット線漏れを最小限にするための方法。

【請求項12】 前記印加ステップの前に、前記単一トランジスタのプログラマブルリードオンリメモリセルの1つをプログラムするステップをさらに含む、請求項11に記載の方法。

【請求項13】 前記プログラムするステップは、前記制御ゲートと前記ドレインとの間に配置されるフローティングゲート上に負の電子を引込むために、前記制御ゲートと前記ドレインとの間に電界を与えるステップを含む、請求項12に記載の方法。

【請求項14】 前記電圧を印加するステップの前に、前記単一トランジスタのプログラマブルリードオンリメモリセルをプログラムし消去するステップをさらに含む、請求項11に記載の方法。

【請求項15】 前記プログラムするステップは前記制御ゲートと前記ドレインとの間に絶縁性を伴って間隔を隔てて置かれるフローティングゲート上に負に帯電した電子を印加するステップを含み、前記消去ステップは前記フローティングゲートからそこに印加されたものを超える負に帯電した電子を引込むステップを含み、それにより、前記プログラムするステップおよび前記消去ステップの後、前記電子が前記フローティングゲートに引込まれる、請求項14に記載の方法。

【請求項16】 前記負の電圧は、以前のプログラムステップおよび消去ステップの数にかかわらず、メモリセルの前記アレイ内の任意の単一トランジスタのプログラマブルリードオンリメモリセルのターンオン電圧よりも小さい、請求項14に記載の方法。

【請求項17】 チャンネル領域がソースとドレインとの間に配置され、かつさらにフローティングゲートが前記チャンネル領域と制御ゲートとの間に絶縁性を伴って間隔をとって配される、単一トランジスタのリードオンリメモリセルを設けるステップと、

ワード線を前記制御ゲートに接続しかつビット線を前記ドレインに接続するステップと、

前記制御ゲートに第1の正の電圧を印加しかつ前記ドレインに第2の正の電圧を印加することによって、前記フローティングゲートに負の電荷を加えるステップと、前記制御ゲートに接地電圧を印加しかつ前記ソースに第3の正の電圧を印加することによって、前記フローティングゲートから負の電荷を除去するステップと、

前記制御ゲートに接地電圧を印加しかつ前記ソースに第1の負の電圧を印加することによって、前記フローティ

ングゲート上に負の電荷をプログラムするステップと、前記制御ゲート上に正味の正の電荷を生じさせるために、時間にわたって前記プログラムするステップと前記消去ステップとを繰返すステップと、

それぞれの前記制御ゲートに負の電圧を印加することによって前記単一トランジスタは前記それぞれのドレインのビット線電圧の読出中は非活性であることを保証するステップとを含み、それによって、前記負の電圧は、前記正味の正に帯電される前記フローティングゲート下に絶縁性をもって間隔をとって配されるチャンネル領域を決して反転させない負の電圧の大きさである、単一トランジスタのプログラマブルリードオンリメモリアルレイ内のビットをプログラムし消去し読むための方法。

【請求項18】 前記除去ステップは前記制御ゲートに第1の負の電圧を印加しかつ前記ドレインに第3の正の電圧を印加するステップを含む、請求項17に記載の方法。

【請求項19】 前記単一トランジスタのプログラマブルメモリアルセルはEEPROMセルを含む、請求項17に記載の方法。

【請求項20】 前記単一トランジスタのプログラマブルメモリアルセルはEPROMセルを含む、請求項17に記載の方法。

【請求項21】 前記単一トランジスタのプログラマブルメモリアルセルはフラッシュEPROMセルを含む、請求項17に記載の方法。

【請求項22】 前記ワード線はロウデコードユニットに接続される、請求項17に記載の方法。

【請求項23】 前記ビット線はコラムデコードユニットに接続される、請求項17に記載の方法。

【発明の詳細な説明】

【0001】

【発明の背景】

1. 発明の分野

この発明は集積回路に関するものであり、より特定的には、過消去されたメモリアルセルを有する不揮発性メモリアルレイを読むための改良された方法に関するものである。

2. 関連技術の説明

リードオンリメモリ（ROM）またはプログラマブルリードオンリメモリ（PROM）と呼ばれることの多い、多くのタイプの不揮発性メモリがある。不揮発性メモリはバイポーラ技術またはMOS技術のいずれでも形成可能である。大抵のMOS PROMは、現在利用可能な3つの技術（つまり、EPROM、EEPROM、またはフラッシュEPROM）の1つに基づいている。不揮発性MOS EPROMは数多くの類似の方法で動作するよう設計され、（i）フローティングゲートトンネル酸化物、（ii）テクスチャードポリ、（iii）金属窒化物酸化シリコン（NMOS）、および（iv）EPROMトンネル酸化物（ETOX）等の数多くの周知

の技術を用いて達成され得る。選ばれた形式に関係なく、プログラム機能および消去機能を実行するために積層ポリシリコン導体を用いられることが一般に認識されている。種々の不揮発性PROM技術の比較が、エス・ライ（S. Lai）らによる「今日の優勢なE²技術における比較および傾向（“Comparison and Trend in Today's Dominant E² Technologies”）」、国際電子・デバイス・ミーティング・テック・ダイジェスト（Int'l Electron Devices Meeting Tech. Digest）、（1986）580頁～583頁への参考文献に記載されている（ここに引用により援用する）。

【0002】従来のMOS PROMメモリアルレイは、一般には、アレイ内の各セルに対して単一のトランジスタを用いる。このトランジスタは、n⁻形ソースおよびドレイン領域を中に有するp⁻形基板から構成される。フラッシュEPROM素子では、ソースは一般に二重拡散される。したがって、二重拡散されるソース領域は、先にn⁻形ドーパントが置かれた同じソース領域にn⁺形ドーパントを受けるように定義される。ソース領域とドレイン領域との間にはチャンネル領域があり、その上にトンネル酸化物が形成される。トンネル酸化物の上にはフローティングポリシリコンゲートが置かれ、フローティングポリシリコンゲートの上には制御ポリシリコンゲートが絶縁性を伴って隔てて置かれる。制御ポリシリコンゲート（制御ゲート）は、MOS PROMメモリアルレイ内のそれぞれのワード線に接続される。ドレイン領域は、MOS PROMアレイ内のそれぞれのビット線に接続される。

【0003】フラッシュEPROMセルを例として用いると、MOS PROMセルは、典型的には、制御ゲートに相対的に高い電圧を印加し、ドレインに適度に高い電圧を印加することによってプログラムされる。ホットエレクトロンは、したがって、制御ゲートとドレインとの間に生じる電界の結果として注入される。ホットエレクトロンはフローティングゲート上に注入されて、フローティングゲートが誘電体に囲まれるということから、フローティングゲートに捉えられる。したがって、プログラム動作は、フローティングゲートに正味の負の電荷を置くよう機能する。プログラムされた電荷をフローティングゲート上に有するセルからの任意の読出は、プログラムされないセルと比較して、制御ゲート上により高い読出電圧を必要とする。プログラムされたセルの制御ゲートに、より高い電圧をかけることは、単一トランジスタのMOS PROMセルを活性化させる（または「ターンオンさせる」）ために必要である。さらに述べるならば、プログラムされたMOS PROMセルは、プログラムされないセルのそれと比較して、制御ゲート（またはワード線）に、より高いターンオン電圧を必要とする。

5

【0004】再びフラッシュEEPROMセルを例とすると、プログラムされた不揮発性MOS PROMセルは、フローティングゲートから電荷を抽出することによって消去される。消去は、電子トンネルおよび／またはホットホール注入によって達成される。典型的には、セルのソースに高電圧が印加され、ゲートは接地される。ドレインは通常はフローティング状態にあり、前のプログラミングサイクルでフローティングゲート上に捉えられた電子は、フローティングゲートから、トンネル酸化物を通して、正に帯電したソースに引込まれる（つまり、「トンネルする」）。

【0005】単一トランジスタのMOS PROMセルをプログラムおよび消去するための方法が、米国特許第4,958,321号を参照して記載される（ここに引用により援用する）。特許第321号には、フラッシュEEPROMセルのプログラムおよび消去の説明が記載されている。しかしながら、EEPROMまたはUV消去されるEPROMのプログラムおよび消去は実質的に同じ態様で実行されまたは実行され得ることが理解される。つまり、プログラムはフローティングゲート上への電荷の注入によって達成され、消去はフローティングゲートからのそれらプログラムされた電子の電子トンネルおよび／またはホットホール注入によって達成される。米国特許第5,077,691号には、フラッシュEEPROM消去動作に関連する数多くの欠点が記載されている。特許第691号には、複数電源要求および消去動作中におけるソースの逆電圧破壊の問題が述べられている。二重拡散されるソース領域は、典型的には、セル消去中にソースにおいて必要とされる高い正の電圧によって引き起こされる逆電圧破壊に対する保護のために用いられる。特許第691号には、消去動作中に制御ゲートに大きな負の電圧を印加しかつソースに適度な正の電圧を印加することの利点が教示されている。ソースにおける適度な正の電圧は、ソースが正に大きくバイアスされた場合に必要とされる二重拡散ソースの必要性を避けるために用いられる。

【0006】特許第691号は、制御ゲート上に負の電圧を用いることによる、消去動作における改良を教示しているが、読出動作における改良は示していない。つまり、フェウラーノルドハイムトンネルの条件下でセルが繰返し消去された後、それは最終的にはいくらか正の電位を得るかもしれない。したがって、何回もの消去サイクルにかけて、フローティングゲートは「ビット過消去」としばしば呼ばれる状態をとるだろう。ビット過消去についての記載は米国特許第5,335,198号を参照して述べられる（ここに引用により援用する）。

【0007】ビット過消去は一般に読出動作中に問題を引き起こす。過消去の問題を理解することは、読出動作を理解することから始まる。つまり、読出動作は読まれ

6

るべき制御ゲート上に「ターンオン」しきい値を超える正の電圧を用いる一方で、読まれるべきでない、相互接続されるビット線に関連する他のすべての制御ゲートはしきい値量よりも小さい電圧を受取る。読まれるべきセルはしたがってソース領域で接地電位を用い、制御ゲートは正の電位、たとえば+5.0ボルトに保持される。ドレイン領域は、一般に、より低い正の電位、たとえば+1.0ボルト〜+4.0ボルトの間に維持される。これらの条件下では、プログラムされていないセルはプログラムされたセルのそれよりも大きい量の電流を導通する。したがって、アレイの、プログラムされた状態は、この選択的読出動作を用いて読出され得る。過消去された状態では、消去されたセル（「非プログラム状態」のセル）はそのフローティングゲート上に正味の正の電圧を取り入れる。この正の電圧は負のしきい値電圧として現われる。応じて、過消去されたセルは本質的にデプレッション形トランジスタとして機能する。

【0008】対象のセルのみが読まれ、他のすべての相互接続されるセルは読まれないことは重要である。応じて、対象のセルのプログラムされた／プログラムされない状態のみが読出サイクルにおいて読まれる必要がある。非選択状態のセルまたは対象でないセルの動作不能を確実にするために、それらのセルは制御ゲート上に0.0ボルトを与えられる。残念なことに、非選択状態のセルがデプレッション形トランジスタである場合には（つまり、過消去状態によりもたらされる負のしきい値電圧を有する場合には）、過消去されたセルは意図されずして活性状態となり、それぞれのコラムビット線内に漏れを引き起こす。応じて、過消去されたメモリセルは、メモリアレイの、ある列全体を不能化する。ここに用いられるように、「耐久性」という語は、操作性が保持されている状態でメモリセルが再プログラムされ消去され得る回数を示す。過消去された状態がセルの偶発的ターンオンおよびコラムビット線における不正確な読出を引き起こす場合、対応するセルの耐久性は減少する。ゆえに、メモリアレイに複雑なビット訂正構造を加える必要なく、過消去されたセルの偶発的ターンオンを確実に被らないようにすることによって、メモリセルの耐久性を最大限にすることが重要である。従来の不揮発性メモリは、過消去されたセルを感知して、その結果、過消去されたメモリセルを正規状態にプログラムし戻すよう機能する、ビット訂正回路を用いる。感知動作および再プログラム動作はメモリアレイに過度な複雑性を加え、それによって、メモリ記憶密度を減少させる。

【0009】

【発明の概要】上に述べられる問題は、この発明の、改良された読出動作によって大部分解決される。つまり、この読出動作は、セルのビット線コラム内における非選択状態セルの非活性を確実にする。したがって、読出動作に関連するビット線コラム漏れが最小限である状態

で、対象のセルのみが読まれる。

【0010】メモリセル読出は、それぞれの過消去されたセルのターンオンしきい値よりも小さいことが保証される電圧を非選択状態の制御ゲートに用いて実行される。印加される電圧は、好ましくは、大きさが過消去セルまたはデプレッション形トランジスタとして振る舞うセルのターンオン電圧よりも負であるような負の電圧である。応じて、すべての非選択状態のセルは読出サイクル中にそれらのそれぞれの制御ゲート上に負の電圧を受け、対象のセルはプログラムされないしきい値電圧よりも大きくかつプログラムされたしきい値電圧よりも小さい正の電圧を受取る。たとえば、制御ゲートは、それぞれのワード線で、プログラムされない単一トランジスタのセル（約+1.5ボルトでプログラムされる）を活性化または「ターンオン」し得るが、プログラムされたトランジスタ（つまり、+6.0ボルトでプログラムされるトランジスタ）はターンオンしない、+5.0ボルトの供給を受取り得る。したがって、すべての非選択状態セル上の負の制御ゲート電圧は、それらのセルが、それらの以前の消去の数にかかわらず、ゲート動作中に非活

性化またはターンオフされることを保証する。

【0011】非選択状態の制御ゲートセルにかけられ得る負の電圧は、アレイへの電力、つまりアレイ内の各トランジスタの制御ゲートとソースとドレインとへの電力を与えるのに用いられる電源から得られる、という有利な点がある。したがって、付加的な電源は必要はなく、さらに重要なことには、従来の感知回路および再プログラミング回路に関連する付加的な回路が削除される。したがって、この改良された読出方法は、不揮発性MOS

PROMメモリアレイの耐久性を高め、速度改善のための意図的な過消去を許容するよう構想される。一部の例においては、メモリアレイは故意に僅かながら過消去される。過消去は「ターンオン」電圧の低下を可能にし、したがって飽和電流を大きくし、結果としてもたらされるメモリ素子のアクセス時間を改善する。過消去を許容することはゆえに多くの例において有利であろう。したがって、より多くの回数の消去動作が、セルの読出動作に悪影響を及ぼすことなく、セル上において実行され得る。さらに、この読出動作は複雑な回路を除去し、したがって、単一のモノリシック基板上に置かれる記憶素子のより周密なアレイ内での利用を許容する。

【0012】広く言うと、この発明は、不揮発性メモリアレイを読むための方法の提供を目的とする。この方法は、複数の単一トランジスタのメモリセルを有する不揮発性メモリアレイを設けるステップを含む。各メモリセルはワード線およびビット線を、または仮想接地不揮発性メモリ素子の場合には複数のビット線を含む。不揮発性メモリ素子はゆえに仮想接地メモリ素子または非仮想接地メモリ素子のいずれをも含むように定義される。読まれるべき活性メモリセル（つまり対象のメモリセル）

のワード線に正の電圧が印加される。読まれない非活性メモリセル（つまり対象でないメモリセル）のワード線には負の電圧が印加される。ここで定義されるように、対象のメモリセルは読出のために選択されるセルであり、対象でないセルは読まれるべきセルのビット線に接続されるが対象とはなっていないセルであり、そのために非活性またはターンオフのままではなければならない。

【0013】この発明は、不揮発性メモリアレイの読出サイクル中におけるビット線漏れを最小限にするための方法を提供することをさらに目的とする。この方法は、単一トランジスタのプログラマブルリードオンリメモリセルのアレイを設けるステップを含む。各単一トランジスタのセルは、ワード線に結合される制御ゲートと、ビット線に結合されるドレインとを含む。それぞれの単一トランジスタのセルに関連づけられる連続するドレインはビット線導体に接続される。ビット線で接続される連続する単一トランジスタのセルに関連づけられるそれぞれの制御ゲートは、それぞれのワード線導体に接続される。ビット線で接続される連続する単一トランジスタのセルの1つに、ターンオンしきい値を超える電圧が印加される。その他の、ビット線で接続される連続する単一トランジスタセルには、ターンオンしきい値よりも小さい負の電圧が印加される。

【0014】この発明は、単一トランジスタのプログラマブルリードオンリメモリセルのアレイ内のビットをプログラムし消去し読出すための方法を提供することをさらに目的とする。この方法は、単一トランジスタのリードオンリメモリセルを設けるステップを含む。リードオンリメモリセルは、仮想接地不揮発性メモリの例では仮想であってもよいソースとドレインとの間に配置されるチャネル領域を含む。このメモリセルは、チャネル領域と制御ゲートとの間において絶縁性を伴って間隔をとったフローティングゲートをさらに含む。ワード線は制御ゲートに接続され、ビット線はドレインに接続される。制御ゲートに第1の正の電圧を印加し、ドレインに第2の正の電圧を印加することによって、負の電荷がフローティングゲート上においてプログラムされる。第2の正の電圧は第1の正の電圧よりも小さい。フローティングゲート上の負の電荷は、制御ゲートに第1の負の電圧または接地電圧を印加し、ソースに第3の正の電圧を印加することによって消去される。プログラミングステップと消去ステップとが時間とともに繰返されると、ついにはフローティングゲート上に正味の正の電荷を生じさせる。選択されない、単一トランジスタのリードオンリメモリセルは、それぞれのドレインのビット線電圧の読出中は非活性状態にある。非活性状態の単一トランジスタはそれぞれの制御ゲートに負の電圧を印加することによって達成され、それによって、この負の電圧は、正味の正に帯電されたフローティングゲート下に絶縁性を伴って間隔をとったチャネル領域の反転を決して許容しない

負の電圧の大きさとして選ばれる。

【0015】この発明は、意図的に過消去されるメモリアレイセルの提供をさらに目的とする。過消去されたセルは、この技術を用いて読まれる。この過消去されたセルは、メモリアレイのアクセス速度またはアクセス時間を改善するために設けられる。つまり、この発明はデプレッション形トランジスタの過消去セルでの正確な読出動作を保証し、その一方でそれらのセルの大きな読出電流がそれらのアクセス時間を改善するだろう。

【0016】この発明の他の目的および利点は、以下の詳細な説明を読み、かつ添付の図面を参照すれば明らかとなるであろう。

【0017】この発明は種々の修正物および代替形式が可能であるが、その特定の実施例を図面において例によって図示しかつここに詳細に記載する。しかしながら、図面およびその詳細な説明はこの発明を開示される特定の形式に限定するものではなく、逆に、前掲の特許請求の範囲により定義されるこの発明の精神および範囲内に入るすべての修正物、均等物および代替物を含むことを意図するものであることが理解されるべきである。

【0018】

【実施例の詳細な説明】ここで図面を参照すると、図1は部分的な不揮発性メモリ素子10の概略回路図を示す。メモリ素子10はMOSプログラマブルリードオンリメモリ(PROM)素子である。素子10は、非仮想接地構成または仮想接地構成のいずれかにおいて、EPROM素子、EEPROM素子、またはフラッシュEPROM素子を含む。素子10は、セルのアレイ内に結合される、複数の単一トランジスタのメモリセル12を有して図示される。各メモリセル12は、 p^- 形基板内に形成される n^- 形不純物注入領域を含む。 n^- 形不純物注入領域は、チャンネル領域によって隔てられるソース領域およびドレイン領域である。チャンネル領域の少なくとも一部の上には薄いトンネル酸化物(一般に100Åよりも薄い)がある。トンネル酸化物の上にはフローティングゲートが置かれ、フローティングゲート上には制御ゲートが絶縁性を伴って間隔をおいて置かれる。

【0019】図1に示されるのは、ビット線16に結合される、周知の設計のコラムデコード装置14である。図1にさらに示されるのは、複数のワード線20に結合される、周知の設計のロウデコード装置である。各ワード線は、単一トランジスタのセル12の対応するトランジスタに関連づけられる制御ゲートの行に結合され、各ビット線は、単一トランジスタのメモリセル12のトランジスタに関連づけられる対応するドレイン領域に接続される。ソース領域は、典型的には、プログラムサイクルまたは読出サイクル中は接地される(が、消去サイクル中は接地されない)。

【0020】次に図2を参照すると、部分的な例示の不揮発性メモリ素子10の上面レイアウト図22が示され

る。レイアウト22は、メモリセルのアレイにわたって延びる、可能な数多くのワード線20のうちの4つを示す。ワード線20の下において、かつ互いから距離を隔てて置かれるのは、ドレイン領域24と共通のソース領域26との間のチャンネル領域上に配置されるフローティングゲートである。ワード線の対の端縁で分断されるフィールド酸化物28のストリップは、ビットを分離する(コラムビット線16内のビットを、ビット線16の別のコラム内の隣接するビットから分離する)よう働く。ゆえに、フィールド酸化物28は、米国特許第5,120,671号(ここに引用により援用する)に述べられるセルフアラインプロセスを用いて形成可能である。ソース領域におけるフィールド酸化物の除去は、アレイ中を延びる共通のソース領域をもたらす。したがって、この共通のソース上の十分な正の電荷は、メモリセルのアレイのフラッシュ消去を可能にする。メタライゼーション層は、フィールド酸化物上に形成され、対応するドレイン24のコンタクト領域30と電気的に接続される状態でワード線20上に絶縁性を伴って間隔をとって置かれる。メタライゼーション層は図を簡潔かつ明瞭にするために図示されていないが、連続するコンタクト30からコラムデコード装置14へ延びるビット線16を含むために、ワード線ストリップ20に対して実質的に直交するように形成される。

【0021】次に図3を参照すると、図2の面3-3に沿った断面図が示される。特定的には、図3は、単一トランジスタのメモリセル12(コンタクト、中間レベルの誘電体、および上にあるメタライゼーションを欠く)を断面図で示す。図3の例示の形態で示されるメモリセル12は、ポリシリコン導体の積層対を含む。この積層ポリシリコン導体は、ソース領域およびドレイン領域が中に形成される半導体基板の上に、絶縁性を伴って隔てて置かれる。特定的には、この積層ポリシリコン対は誘電体32上に(ワード線20として延びる)制御ポリシリコンゲートを含み、誘電体32は制御ゲート/ワード線20と下にあるフローティングゲート34との間に挟まれる。上述したように、フローティングゲート34は、電界を介して、フローティングゲート34に置かれる電子でもってプログラムされ、電界を介して、フローティングゲート34からそれらの電荷を引出すことによって消去される。プログラム動作および消去動作は、制御ゲート20とドレイン36とソース38と基板40との上にさまざまな電圧電位を印加することによって実行される。フローティングゲート34と、ソース/ドレイン38/36を分離するチャンネルとの間に形成されるのは、トンネル酸化物42である。図3の例示の実施例に示されるのは、 n^- 形不純物注入部が n^- 形不純物注入部を取囲む二重拡散されたソース38であり、これら両方の注入部は p^- 形基板40内に形成される。しかしながら、二重拡散ソース38の代わりに、一重拡散される

ソース38が用いられ得ることが理解される。

【0022】セル12が読出のために選択されるセルであるかどうかによって、制御ゲート20（ワード線）に異なる電圧がかけられる。選択された電圧レベルは、ドレイン36に結合されるビット線16でフローティングゲート34のプログラム状態を読むために必要とみなされる。たとえば、図3に示されるセル12が選択されたセル（対象のセル）である場合、このセルは制御ゲート／ワード線20にしきい値を超える電圧を印加することによって読まれる。関連するドレイン36のビット線16はいくらかより小さい正の電圧（たとえば+1.0ボルトないし+4.0ボルト）に結合され、ソース38は接地電位に維持される。大抵の適用例では、選択されたビット線の読出は、制御ゲート／ワード線20に約+5.0ボルトの実質的に高い電圧を印加することによって実行される。互いに接続されたドレイン領域36（単一のビット線16に接続されるドレイン）を有するすべての非選択状態のセルは、制御ゲート（アレイ中の各ワード線20）に負の電圧を印加することによって非活性状態（ターンオフ状態）に維持される。負の電圧によって、その読出動作前に生じたプログラム動作および消去動作の数にかかわらず、選択されていないどの過消去セル（つまり、デプレッション形トランジスタであるトランジスタを有するセル）もターンオンしないことが保証される。

【0023】次に図4を参照すると、読出動作に関連するしきい値電圧分布のグラフが示される。より特定的には、図4は、メモリセルのアレイ（またはメモリ素子）内の複数のメモリセルの、曲線44a～44eで示されるしきい値電圧スキューを示す。プログラムされない1つのメモリセルが他のものよりもより高いターンオン電圧を有するかもしれない一方で、メモリ素子内のすべてのメモリセルは、もしそれらがターンオンのために選択されない場合には、ターンオンされないということは本質的なことである。つまり、セルのアレイ中の、プログラムされないメモリセルは、最も「過消去された」セルのターンオン電圧よりも小さいしきい値電圧を選択することによって非ターンオンを保証されなければならない。図4の例に示されるように、最も過消去されたセルの群は曲線44aで示される。この湾曲およびそれに関連づけられる分布の理由は、しきい値が、時間とともに変化し、プロセス変動の影響を受けやすいかもしれないという理由からである。したがって、プロセス変化およびしきい値スキューをもたらす電圧が選択されなければならない。プロセススキュー、ウエハラン可変性等にかかわらず、非選択状態のセルがターンオンして、相互接続されるビット線における有害なコラム漏れを生じさせないことを保証するために、好適には-0.1ボルトである、負の電圧が必要である、と判断される。

【0024】図4は、曲線44a～44eに関連して曲

線46a～46eによって表わされる、より狭いターンオンしきい値を有するセルのプロセススキューをさらに示す。プログラムされないトランジスタは実質的に過消去されるか、または代替的には実質的に過消去されないだろう。どちらの例においても、非選択状態のメモリセルに、そのような変化をもたらす読出電圧をかけることが重要である。

【0025】この発明は、非仮想接地構成または仮想接地構成のいずれかでEPROM素子、フラッシュEPROM素子、および／またはEEPROM素子を含む数多くのタイプの不揮発性メモリ素子を伴う適用例が可能であると考えられることは、この開示の恩恵を受ける当業者には理解されるだろう。さらに、図示され記載されるこの発明の形態は現在において好ましい実施例として見られるということがさらに理解されるべきである。前掲の特許請求の範囲に示されるこの発明の精神および範囲から逸脱することなく、さまざまな修正および変更がなされてもよい。前掲の特許請求の範囲はそのような修正および変更をすべて包含するものと解釈され、応じて、明細書および図面は限定的な意味ではなく例示的な意味において見られるべきであるということが意図される。

【図面の簡単な説明】

【図1】仮想接地メモリセルとして配置され得る、単一トランジスタのメモリセルを有する部分的な例示の不揮発性メモリアレイの回路概略図である。

【図2】例示的な、部分的な不揮発性メモリアレイの上面レイアウト図である。

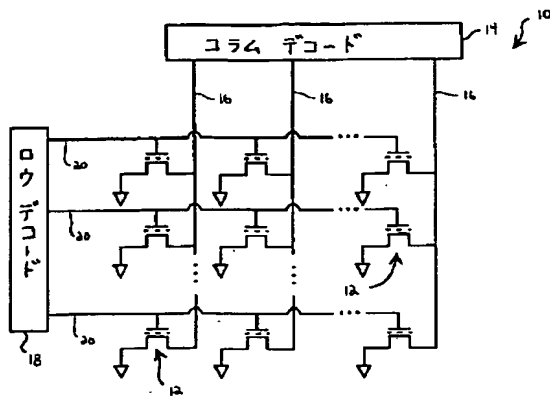
【図3】この発明の電圧レベルに従って読まれ得る、単一トランジスタのメモリセルの断面図である。

【図4】この発明のメモリ読出動作に従って読まれるメモリセルのしきい値電圧分布を示すグラフの図である。

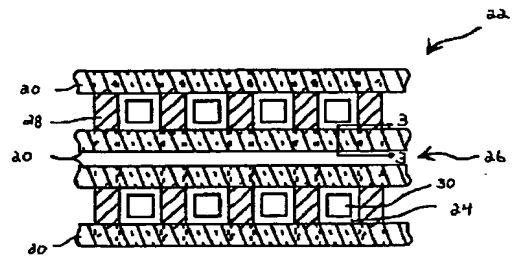
【符号の説明】

- 10 不揮発性メモリ素子
- 12 単一トランジスタのメモリセル
- 14 コラムデコード装置
- 16 ビット線
- 18 ロウデコード装置
- 20 ワード線
- 22 不揮発性メモリ素子
- 24 ドレイン領域
- 26 ソース領域
- 28 フィールド酸化物のストリップ
- 30 コンタクト領域
- 32 誘電体
- 34 フローティングゲート
- 36 ドレイン
- 38 ソース
- 40 基板
- 42 トンネル酸化物

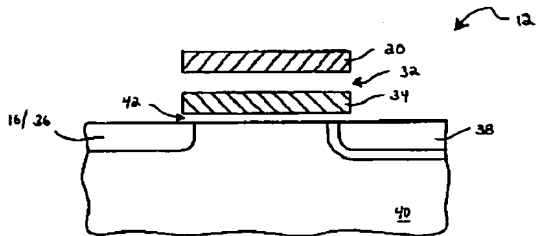
【図1】



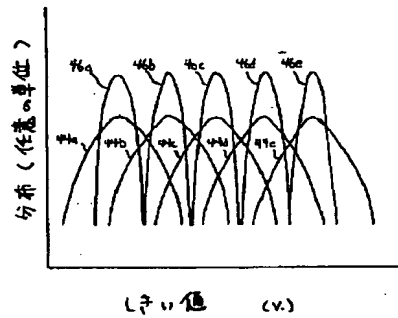
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 ニベンドラ・ジェイ・バテル
アメリカ合衆国、76577 テキサス州、ソ
ーニデイル、エヌ・ファースト・ストリー
ト、106、ビー・オー・ボックス・530

(72)発明者 シャイアム・ジー・ガーグ
アメリカ合衆国、78739 テキサス州、オ
ースティン、テカテ・トレイル、4007